

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年7月21日 (21.07.2005)

PCT

(10)国際公開番号
WO 2005/067056 A1

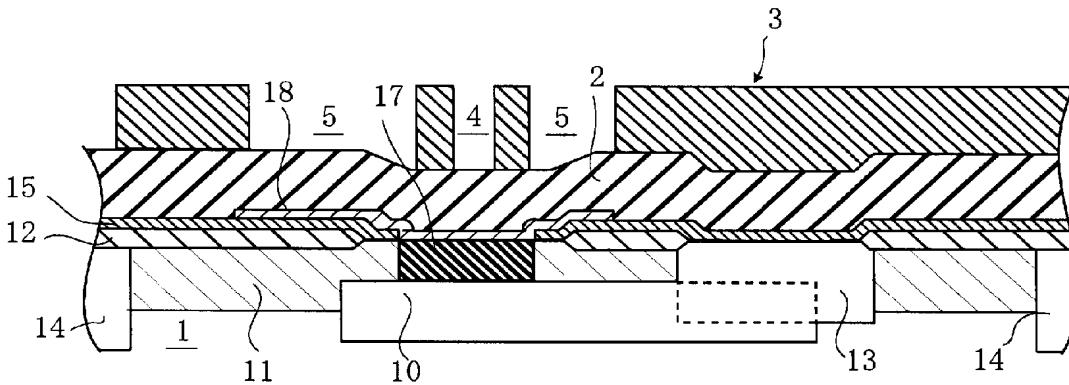
(51)国際特許分類⁷: H01L 29/73, 21/331, 27/06
(21)国際出願番号: PCT/JP2004/018939
(22)国際出願日: 2004年12月17日 (17.12.2004)
(25)国際出願の言語: 日本語
(26)国際公開の言語: 日本語
(30)優先権データ:
特願2004-004186 2004年1月9日 (09.01.2004) JP
(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
(72)発明者: および
(75)発明者/出願人(米国についてのみ): 場色正昭 (BAIRO, Masaaki) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74)代理人: 松尾憲一郎 (MATSUO, Kenichiro); 〒8100021 福岡県福岡市中央区今泉2丁目4番26号 今泉コーポラス1階 Fukuoka (JP).
(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
(84)指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54)Title: BIPOLAR TRANSISTOR, SEMICONDUCTOR DEVICE COMPRISING THE BIPOLAR TRANSISTOR AND PROCESS FOR FABRICATING THEM

(54)発明の名称: バイポーラトランジスタ及びこのバイポーラトランジスタを有する半導体装置、並びにこれらの製造方法



(57)Abstract: A bipolar transistor in which a variation in current gain is prevented and the base resistance is decreased by a simple method. After a base layer is formed on a semiconductor substrate, an opening for leading out a base electrode and an opening for leading out an emitter electrode are simultaneously formed in an insulating film deposited on the base layer. Subsequently, a base electrode lead-out part is formed in the opening for leading out the base electrode and an emitter electrode lead-out part is formed in the opening for leading out the emitter electrode.

(57)要約: 簡単な方法により、バイポーラトランジスタの電流利得のばらつきを防止するとともに、かつベース抵抗を低減することを課題とする。そこで、本発明では、半導体基板上にベース層を形成した後、このベース層上に積層した絶縁膜にベース電極引出用開口とエミッタ電極引出用開口とを同時に形成し、次いで、前記ベース電極引出用開口にベース電極引出部を、前記エミッタ電極引出用開口にエミッタ電極引出部を形成することとした。

WO 2005/067056 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

バイポーラトランジスタ及びこのバイポーラトランジスタを有する半導体装置、並びにこれらの製造方法

技術分野

[0001] この発明は、バイポーラトランジスタ及びこのバイポーラトランジスタを有する半導体装置、並びにこれらの製造方法に関する。

背景技術

[0002] 従来、バイポーラトランジスタの一つとして、エピタキシャルベース層を有する縦型NPN構造のバイポーラトランジスタがあり、その中で、ベース層にシリコンゲルマニウム混晶層を用いて構成したヘテロ接合バイポーラトランジスタ(以下「SiGeHBT」とする)は、通信装置の周波数変換器等に使用するために高速動作が要求されるデバイスとして広く用いられている(例えば、日本特開2003-257987号公報を参照)。

[0003] 図9にエピタキシャルベース層を有する一般的なSiGeHBTの構造を示しており、100はP型の半導体基板、110は前記半導体基板100内に形成されたN型埋め込み領域、120は前記半導体基板100の表面に形成したN型エピタキシャル層、130は前記N型エピタキシャル層120中に形成したN型SIC(Selection Implantation Collector)からなるコレクタ領域、140は同じく前記N型エピタキシャル層120中に形成したN型のコレクタ引出し領域である。また、150はGeを含むP型エピタキシャル層(SiGe層)からなるベース領域であり、160はP型エピタキシャルベース層、170は多結晶化したSiGe層からなるベース電極引出部(P型)である。また、180は多結晶Siから不純物拡散させて形成したエミッタ領域(N型)、190は多結晶Siからなるエミッタ電極引出部である。なお、200は絶縁膜、210は素子分離層、300は金属シリサイド層である。

[0004] ここで、上記構成のSiGeHBTにおいて、エミッタ電極形成工程に着目すると、従来では、図10(a)に示すように、前記ベース領域150上に酸化膜からなる絶縁膜200を減圧CVD法で形成し、レジストマスク220を用いたドライエッチングにより前記絶縁膜200を開口して、先ずエミッタのコンタクト領域を形成していた。

[0005] 次いで、図10(b)に示すように、前記エミッタ電極引出部190となる多結晶シリコン191を減圧CVD法で形成する。その後、やはり減圧CVD法で汚染防止用の酸化膜を形成し、次いで、前記多結晶シリコン191中にAs(ヒ素)をイオン注入し、次いで、前記酸化膜をフッ酸などで除去し、レジストマスク230を用いたドライエッチングにより、図10(c)に示すように、前記多結晶シリコン191と絶縁膜200とをエンシーチングしてエミッタ電極引出部190を形成していた。

[0006] 以上説明したように、従来工程でエミッタ電極引出部190を形成するためには、エミッタのコンタクト領域を形成するときと、エミッタ電極引出部190を形作るときとで2回のエッチング作業が必要であり、当然ながらエッチングの度にレジストマスク220(230)がそれぞれ別途必要になっていた。

[0007] 図11にエミッタ電極引出部190の拡大図を示しており、図中dで示した寸法は、エミッタ電極引出部190を構成する一部位の幅を示している。この寸法dは、エミッタのコンタクト領域を形成する際に行った絶縁膜200のエッチング時に用いるレジストマスク220(図10(a)を参照)と、エミッタ電極引出部190を形成する際の多結晶シリコン191及び絶縁膜200のエッチング時に用いるレジストマスク230(図10(c)を参照)との線幅差で決まる。

[0008] 図12に、この寸法dとSiGeHBTのGummel-plot、すなわち、ベース電流(I_b)とコレクタ電流(I_c)それぞれのエミッターベース間電圧(VBE)依存)の関係を実測値で表したグラフを示す。

[0009] HBTにおける電流利得(hFE)は、I_c/I_bで決まるが、図12から分かるように、dが小さくなるとベース電流I_bが増加している。これは、ホールと電子との再結合が促進されることによると考えられるが、このようにdが小さくなると、I_c/I_bで決まるhFEは低下することが分かった。

[0010] したがって、従来のように2回のエッチングにより2枚のレジストマスク220, 230を用いた場合、合わせずれによる誤差、一方若しくは両方のマスクにおける線幅のばらつきにより、寸法dが変動しやすくなり、半導体基板間、あるいは半導体基板面内において、hFEのばらつきを招くおそれがあることが分かった。

[0011] 他方、前述したように、SiGeHBTは高速動作が要求されるデバイスに用いられる

ため、高周波特性の改善要求が強い。

[0012] バイポーラトランジスタの周波数特性を向上させるために、一つの試みとしてベース走行時間を短縮することが考えられるが、そのためにはベース幅を薄くする必要がある。しかし、図9で示した構造においてエピタキシャルベース層160を薄膜化すると、エミッタ直下及びベース電極引出部170も薄膜化してしまうことになり、薄膜化によってベース抵抗が増加し、これにより最大動作周波数の低下、ノイズ特性の低下、消費電力増加といった問題が生じてしまう。

[0013] 本発明は、上記課題を解決することのできるバイポーラトランジスタ及びその製造、及びバイポーラトランジスタを有する半導体装置を提供することを目的としている。

発明の開示

[0014] 請求項1記載の本発明では、半導体基板上にベース層を形成した後、このベース層上に積層した絶縁膜にベース電極引出用開口とエミッタ電極引出用開口とを同時に形成し、次いで、前記ベース電極引出用開口にベース電極引出部を、前記エミッタ電極引出用開口にエミッタ電極引出部を形成することとした。

[0015] 請求項2記載の本発明では、前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成することとした。

[0016] 請求項3記載の本発明では、半導体基板上に形成したベース層の一部をベース電極引出部としたバイポーラトランジスタにおいて、前記ベース層上の絶縁膜に同時開口されたベース電極引出用開口とエミッタ電極引出用開口とに対応してベース電極引出部とエミッタ電極引出部とが形成されていることとした。

[0017] 請求項4記載の本発明では、前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成することとした。

[0018] 請求項5記載の本発明では、半導体基板上に形成したベース層の一部をベース電極引出部としたバイポーラトランジスタを有する半導体装置の製造方法において、前記バイポーラトランジスタは、前記ベース層を形成した後、このベース層上に積層した絶縁膜にベース電極引出用開口とエミッタ電極引出用開口とを同時に形成し、次いで、前記ベース電極引出用開口にベース電極引出部を、前記エミッタ電極引出用開口にエミッタ電極引出部を

形成することとした。

[0019] 請求項6記載の本発明では、前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成することとした。

[0020] 請求項7記載の本発明では、半導体基板上に形成したベース層の一部をベース電極引出部としたバイポーラトランジスタを有する半導体装置において、前記バイポーラトランジスタは、前記ベース層上の絶縁膜に同時開口されたベース電極引出用開口とエミッタ電極引出用開口とに対応してベース電極引出部とエミッタ電極引出部とが形成されていることとした。

[0021] 請求項8記載の本発明では、前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成することとした。

図面の簡単な説明

[0022] [図1]本実施の形態に係る半導体装置の製造工程(第1工程)を示す説明図である。

[図2]本実施の形態に係る半導体装置の製造工程(第2工程)を示す説明図である。

[図3]本実施の形態に係る半導体装置の製造工程(第3工程)を示す説明図である。

[図4]本実施の形態に係る半導体装置の製造工程(第4工程)を示す説明図である。

[図5]本実施の形態に係る半導体装置の製造工程(第5工程)を示す説明図である。

[図6]本実施の形態に係る半導体装置の製造工程(第6工程)を示す説明図である。

[図7]本実施の形態に係る半導体装置の製造工程(第7工程)を示す説明図である。

[図8]本実施の形態に係る半導体装置の製造工程(第8工程)を示す説明図である。

[図9]一般的な従来のSiGeHBTを示す説明図である。

[図10]一般的な従来のSiGeHBTにおけるエミッタ電極形成工程を示す説明図である。

[図11]一般的な従来のSiGeHBTのエミッタ電極引出部を拡大して示した説明図である。

[図12]ベース電流(I_b)とコレクタ電流(I_c)それぞれのエミッターベース間電圧(V_{BE})依存)の関係を表したグラフである。

発明を実施するための最良の形態

[0023] 本発明に係るバイポーラトランジスタの製造方法は、半導体基板上にベース層を形

成した後、このベース層上に積層した絶縁膜にベース電極引出用開口とエミッタ電極引出用開口とを同時に形成し、次いで、前記ベース電極引出用開口にベース電極引出部を、前記エミッタ電極引出用開口にエミッタ電極引出部を形成することとしたものである。

[0024] すなわち、ベース層をエピタキシャル成長させて形成した後、このエピタキシャルベース層上に絶縁膜となる酸化膜を積層し、次いで酸化膜をドライエッチングにより開口してエミッタ電極引出用開口を形成する際のマスクを用いて、ベース電極引出用開口についても同時に開口するものである。

[0025] このように、エミッタ電極引出用開口とベース電極引出用開口とを一つのマスクを用いて同時に形成するようにしているので、従来のように、先ずエミッタ領域をエッチングにより開口してエミッタ電極引出用開口を形成し、その後エミッタ電極を形成するときに前記絶縁膜と導電膜とをエッチングにより開口してベース電極引出用開口を形成する場合のように2つのマスクは不要となる。

[0026] 2つのマスクを用いると、マスク合わせのばらつきや各マスクの線幅のばらつきが懸念される。これらのばらつきはエミッタ電極の一部を構成する部位の幅(図10を参照)のばらつきの原因となり、結果的には電流利得(hFE)のばらつきに影響していたが、本実施の形態では1つのマスクで済むので、マスクによるばらつきを最低限に抑えられ、ひいては電流利得のばらつきも抑制することができる。

[0027] また、前記ベース電極引出用開口とエミッタ電極引出用開口とを同時開口後は、前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成することが望ましい。

[0028] すなわち、レジストパターンを用いたドライエッチングにより2つの開口を形成した後、例えば多結晶シリコンからなる導電膜を積層する。そして、CMP(化学的機械的研磨)を用いてエミッタ領域とベース電極引出領域が分離される高さまで研磨することで、前記エミッタ領域にエミッタ電極を、また、前記ベース電極引出領域には前記多結晶シリコンが積み増しされて膜厚化されたベース電極引出部を同時に形成するのである。

[0029] このように、ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時

に形成することにより、ベース電極引出用開口内に形成されるベース電極引出部が増厚されてベース抵抗が低減されるので、より高品質のバイポーラトランジスタを提供することができる。

[0030] このように、本実施の形態によれば、エミッタ電極引出用開口とベース電極引出用開口とを一つのマスクを用いて同時に形成するようにしているので、前述したようにエミッタ電極の一部を構成する部位の幅(図10を参照)のばらつきを可及的に抑制できるとともに、その後、前記ベース電極引出部とエミッタ電極引出部とを、同じ多結晶シリコンにより同時形成するようにしたことで、この多結晶シリコンが積み増しされて膜厚化されたベース電極引出部を形成することができ、ベース層の低抵抗化も同時に実現することができる。したがって、特別な工程を増やすことなく、かつコストを増大させることなく高品質のバイポーラトランジスタを提供することが可能となる。

[0031] また、前記導電膜として用いた多結晶シリコン膜により形成されたベース電極引出部の増厚部分には、Asなどの不純物を注入することが好ましく、より一層のベース抵抗低減が可能となる。

[0032] 上記製法により得たバイポーラトランジスタは、SiGeヘテロ接合バイポーラトランジスタ(以下「SiGeHBT」とする)やMOSトランジスタなどを受動素子とともに同一半導体基板上に設けたSiGeBiCMOSなどに好適に採用することができ、高速動作が要求されるデバイスの性能向上を図ることが可能となる。

[0033] 以下、PMOSトランジスタ、NMOSトランジスタ及び本発明を適用したSiGeHBTを同一基板上に形成するプロセスを通して、本発明の実施形態を、図面を参照しながら具体的に説明する。なお、ここでは上記プロセスを第1ー第6の工程に分け、各工程完了時におけるSiGeHBTの状態を図示している。なお、MOSトランジスタの製造工程については周知の製造方法と同じなのでここでの説明は省略する。

[0034] (第1工程 図1)

第1工程では、P型(100)シリコン基板1の表面を、フッ酸などの薬液によって酸化膜除去(犠牲酸化)した後に熱酸化を行い、250nm程度の酸化膜を形成する。次に、レジストパターンを用いたドライエッチングにより、SiGeHBT形成領域の酸化膜を開口する。次に1200°C程度でSb₂O₃を用いたSbの気相拡散により、N⁺埋め込み

層10を形成する。その後、フッ酸などの薬液により基板表面の酸化膜を除去した後、エピタキシャル法で $1.0\Omega\cdot\text{cm}$ 、 $0.4\mu\text{m}$ のN型エピタキシャル層(以下「N-エピ」ともいう)11を形成する。次に、このN型エピタキシャル層11の表面に、一般的に用いられているLOCOS技術により300～500nm程度のフィールド酸化膜12を形成する。

[0035] 次にLOCOS形成時に発生したダメージ層を除去するために、熱酸化(PRE. OX)により10nm程度の膜厚で酸化膜を形成し、その後、レジストパターンを用いたイオン注入を、(P+:1MeV、 $5\times 10^{12}/\text{cm}^2$ →P+:500KeV、 $5\times 10^{12}/\text{cm}^2$ →As+:440KeV、 $3.8\times 10^{12}/\text{cm}^2$ →As+:270KeV、 $3.8\times 10^{12}/\text{cm}^2$ →B+:20KeV、 $2.7\times 10^{12}/\text{cm}^2$)程度の順で行い、図示しないPMOS領域にはN型Well領域を、また、SiGeHBT領域にはコレクタ取り出し層13を形成する。

[0036] さらに、レジストパターンを用いたイオン(B+:600KeV、 $3\times 10^{12}/\text{cm}^2$ →B+:190KeV、 $6\times 10^{12}/\text{cm}^2$ →B+:70KeV、 $5\times 10^{12}/\text{cm}^2$ →B+:20KeV、 $2\times 10^{12}/\text{cm}^2$)程度の順で行い、NMOS形成領域にP型Well領域を、バイポーラ部分にはP型素子分離層14を形成する。なお、MOS領域のActive上表面には、閾値電圧調整用のイオン注入が必要に応じて行われ、複数の閾値電圧を有するMOSが形成されるが、ここではその工程を省略している。

[0037] 次に、フッ酸などの薬液により前記酸化膜(PRE. OX)の除去を行った後、熱酸化を行い5～8nmの酸化膜(ゲート酸化膜)15を形成し、次に、減圧CVDなどでP-DAS(P-Doped Amorphous Silicon)などの低抵抗半導体膜を100nm程度形成し、次に常圧CVDなどでタングステンシリサイドを100nm程度形成した後、レジストパターンを用いたRIE(反応性イオンエッチング)などのドライエッチングにより、前記タングステンシリサイド及び前記P-DASを除去してゲート電極部を形成し、その後、800°Cで10分程度の熱処理を行う。

[0038] 次に、レジストパターンを用いたイオン注入を(BF₂+:600KeV、 $2\times 10^{13}/\text{cm}^2$ →As+:150KeV、 $2\times 10^{13}/\text{cm}^2$)程度の順で行い、PMOS領域のソース/ドレイン領域に耐圧向上のためにP型層及びN型層を形成する。

[0039] 次に、レジストパターンを用いたイオン注入を(As+:40KeV、 $2\times 10^{14}/\text{cm}^2$ →B+

:30KeV、 $7 \times 10^{12}/\text{cm}^2$)程度の順で行い、NMOS領域のソース／ドレイン領域に耐圧向上のためにN型層及びP型層を形成する。

- [0040] 次に、減圧CVD法などで酸化膜を30nm程度形成する。その後、850°Cで30分程度の酸素雰囲気中で熱処理を行い、不純物の活性化を行う。
- [0041] 次に、減圧DVD法などでP-DASを130nm程度形成し、全面エッチバックを行い、ゲート電極側壁にLDD(Lightly Doped Drain)サイドウォールを形成する。
- [0042] 次に、レジストパターンを用いたイオン注入を(BF₂⁺:50KeV、 $1 \times 10^{15}/\text{cm}^2$)程度で行い、PMOS領域にソース／ドレインを形成する。
- [0043] 次にレジストパターンを用いたイオン注入を(As⁺:50KeV、 $5 \times 10^{15}/\text{cm}^2$)程度で行い、NMOS領域にソース／ドレインを形成する。
- [0044] 次に、全面エッチバック処理を行い、前記LDDサイドウォールを除去する。この第1工程終了後における状態を図1に示す。

(第2工程 図2)

第2工程では、まず、減圧CVD法などで酸化膜を100nm程度形成後、850°Cの窒素雰囲気中で30分程度熱処理を行う。

- [0045] 次に、レジストパターンを用いてSiGeHBTのActive領域にP⁺を300KeV、 $2 \times 10^{12}/\text{cm}^2$ 程度でイオン注入してSIC層17を形成する。
- [0046] 次に、同レジストパターンを用いて、酸化膜を下層のN-エピ11表面に到達しないようにドライエッチングするとともにフッ酸などの薬液でのウェットエッチングでN-エピ11表面にダメージが入らないように酸化膜15を開口し、N-エピ11を露出させた後、エピタキシャル法によりB(Boron)とGeを含むP型エピタキシャルベース層(SiGe層)を100～150nmで形成する。この時、N-エピ11の露出表面には単結晶SiGe層が、その他のSiO₂表面には多結晶SiGe層が形成される。
- [0047] 次にレジストパターンを用いたドライエッチングにより、SiGeHBTのベース層18を形成する。この第2工程終了後における状態を図2に示す。

(第3工程 図3)

第3工程では、まず、TEOS(Tetra-Ethyl-Ortho-Silicate)を原料としたHDP-CVD法(高密度プラズマ化学気相成長法)などで酸化膜2を400～1000nm程度形成

する。この第3工程終了後における状態を図3に示す。

(第4工程 図4)

次に、レジストパターン3をマスクとして用いたドライエッチングにより、SiGeHBTのエミッタ電極引出用開口4と、ベース電極引出用開口5とを、前記酸化膜2同時に並べて形成する。この第4工程終了後における状態を図4に示す。

(第5工程 図5)

次に、減圧CVD法などで400～600nm程度の多結晶シリコン6を形成する。この第5工程終了後における状態を図5に示す。

(第6工程 図6)

次に、CMP(化学的機械的研磨)法を用いてエミッタ電極引出部40とベース電極引出部50とが分離して絶縁されるまで研磨する。例えば、前記ベース層18上の酸化膜2が150～300nmになる程度に研磨するとともに、基板表面を研磨して平坦化する。なお、このとき、エミッタ電極引出部40とベース電極引出部50とを絶縁性を高めるために、前記研磨後、多結晶シリコン6にドライエッチングによるエッチバックを行い、酸化膜2の膜厚に対して多結晶シリコン6を掘り下げてもよい。この第6工程終了後における状態を図6に示す。

(第7工程 図7)

次に、減圧CVD法で汚染防止用の酸化膜を30nm程度形成した後、レジストパターンを用いてエミッタ電極引出部40となる多結晶シリコン6中に30～40kev、 $1 \times 10^{15} \sim 1 \times 10^{16}/\text{cm}^2$ 程度でAs⁺をイオン注入する。次に、レジストパターンを用いて25～40kev、 $1 \times 10^{14} \sim 5 \times 10^{15}/\text{cm}^2$ 程度でBF₂⁺をベース電極引出部50にイオン注入し、このベース電極引出部50を形成する多結晶シリコン6を低抵抗化する。

[0048] 次に、フッ酸などの薬液で前記汚染防止用の酸化膜を除去した後、新たに酸化膜を100nm程度形成し、800°Cの窒素雰囲気中で10分程度熱処理を行い、1000°Cの窒素雰囲気中で10秒程度RTA(Rapid Thermal Annel)を行うことで、エミッタ電極引出部40から多結晶シリコン6中のAsを均一に熱拡散させ、ベース層18中にエミッタ領域41を形成する。次に、フッ酸などの薬液で熱処理前に形成した酸化膜100nmを除去する。

[0049] 次に、CoやTiなどの金属膜を15nm程度、また、金属膜酸化防止膜としてのTiNを30nm程度、順にスパッタ法により成膜する。

[0050] 次に、RTP(Rapid Thermal Process)により、例えば、500°Cの窒素雰囲気中で30秒程度の熱処理を行い、金属シリサイド7を形成する。

[0051] 次に、例えばアンモニア過水などの薬液を用いて酸化膜上の未反応金属膜を除去する。

[0052] 次に、RTPを用いて、例えば、700°Cの窒素雰囲気中で30秒程度の熱処理を行い、前記金属シリサイド7を低抵抗化する。この第7工程終了後における状態を図7に示す。

(第8工程 図8)

その後の配線工程は、従来技術と同じ平坦化技術が適応されるものであるが、以下簡単に説明する。

[0053] TEOS(Tetra-Ethyl-Ortho-Silicate)を原料としたHDP-CVD法(高密度プラズマ化学気相成長法)などで層間膜となる酸化膜30を600～1000nm程度形成し、その後CMP(化学的機械的研磨)を用いて基板表面を平坦化する。次にメタルコンタクトを開け、金属シリサイド7がないコンタクト部分(MOS部のソース／ドレイン領域)に関してはコンタクトトイオン注入および活性化の熱処理を行い、その後、メタル電極42、多層配線43、さらにオーバーコートを形成して、寄生抵抗の低減化が図られたSiGeH BTを有する半導体装置が形成される。この第8工程終了後における完成状態を図8に示す。なお、図中、前記多層配線43は1層のみ図示している。

[0054] 以上説明してきたように、前述の第4工程～第6工程において、エミッタ電極引出用開口4とベース電極引出用開口5とを、一つのレジストパターン3をマスクとして用いて同時に形成し、その後、ベース電極引出部50とエミッタ電極引出部40とを、同じ多結晶シリコン6により同時形成するようになっているので、電流利得(hFE)のばらつきを可及的に抑制できるとともに、多結晶シリコン6によって積み増しされて膜厚化されたベース電極引出部50によってP型エピタキシャルベース層18の低抵抗化も同時に実現することができる。

産業上の利用可能性

[0055] 本発明では、半導体基板上にベース層を形成した後、このベース層上に積層した絶縁膜にベース電極引出用開口とエミッタ電極引出用開口とを同時に形成し、次いで、前記ベース電極引出用開口にベース電極引出部を、前記エミッタ電極引出用開口にエミッタ電極引出部を形成することとしたために、バイポーラトランジスタの製造工程において、ベース電極引出領域とエミッタ領域とを絶縁膜上に開口する場合、共通の一つのマスクでエッチングすればよく、その結果エミッタ電極の線幅のばらつきを最小限に抑えることが可能となり、電流利得のばらつきがない高品質のバイポーラトランジスタを提供することができる。そして、かかるバイポーラトランジスタを、例えばSiGeBiCMOSなどの半導体装置に適用することで、高速動作が要求されるデバイスの性能向上を図ることが可能となる。

[0056] また、前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成するようにしたために、ベース電極引出部が増厚されてベース抵抗が低減された高品質のバイポーラトランジスタを提供することができる。そして、かかるバイポーラトランジスタを、例えばSiGeBiCMOSなどの半導体装置に適用することで、高速動作が要求されるデバイスのさらなる性能向上を図ることが可能となる。

請求の範囲

[1] 半導体基板上にベース層を形成した後、このベース層上に積層した絶縁膜にベース電極引出用開口とエミッタ電極引出用開口とを同時に形成し、次いで、前記ベース電極引出用開口にベース電極引出部を、前記エミッタ電極引出用開口にエミッタ電極引出部を形成することを特徴とするバイポーラトランジスタの製造方法。

[2] 前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成することを特徴とする請求項1記載のバイポーラトランジスタの製造方法。

[3] 半導体基板上に形成したベース層の一部をベース電極引出部としたバイポーラトランジスタにおいて、
前記ベース層上の絶縁膜に同時開口されたベース電極引出用開口とエミッタ電極引出用開口とに対応してベース電極引出部とエミッタ電極引出部とが形成されていることを特徴とするバイポーラトランジスタ。

[4] 前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成することを特徴とする請求項3記載のバイポーラトランジスタ。

[5] 半導体基板上に形成したベース層の一部をベース電極引出部としたバイポーラトランジスタを有する半導体装置の製造方法において、
前記バイポーラトランジスタは、前記ベース層を形成した後、このベース層上に積層した絶縁膜にベース電極引出用開口とエミッタ電極引出用開口とを同時に形成し、次いで、前記ベース電極引出用開口にベース電極引出部を、前記エミッタ電極引出用開口にエミッタ電極引出部を形成することを特徴とする半導体装置の製造方法。

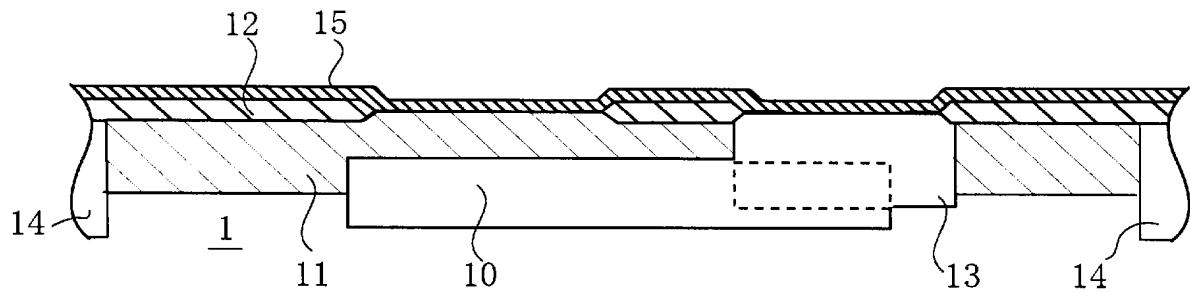
[6] 前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成することを特徴とする請求項5記載の半導体装置の製造方法。

[7] 半導体基板上に形成したベース層の一部をベース電極引出部としたバイポーラトランジスタを有する半導体装置において、
前記バイポーラトランジスタは、前記ベース層上の絶縁膜に同時開口されたベース電極引出用開口とエミッタ電極引出用開口とに対応してベース電極引出部とエミッタ電極引出部とが形成されていることを特徴とする半導体装置。

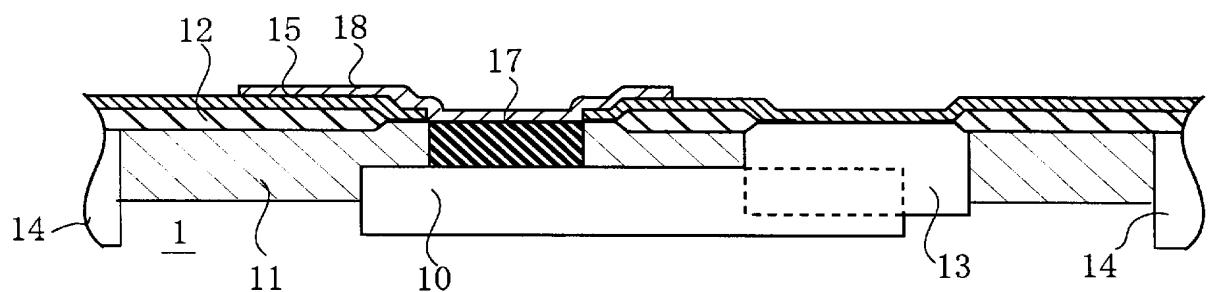
[8] 前記ベース電極引出部とエミッタ電極引出部とを、同一の導電膜により同時に形成

することを特徴とする請求項7記載の半導体装置。

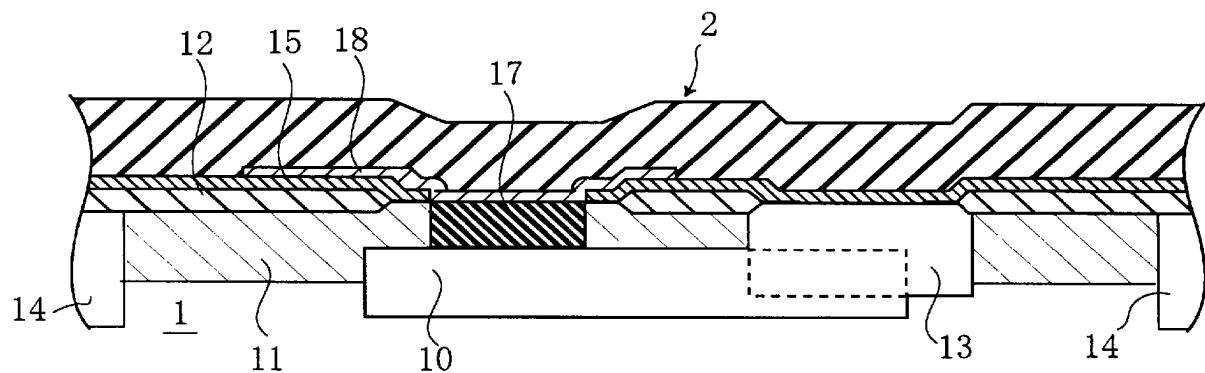
[図1]



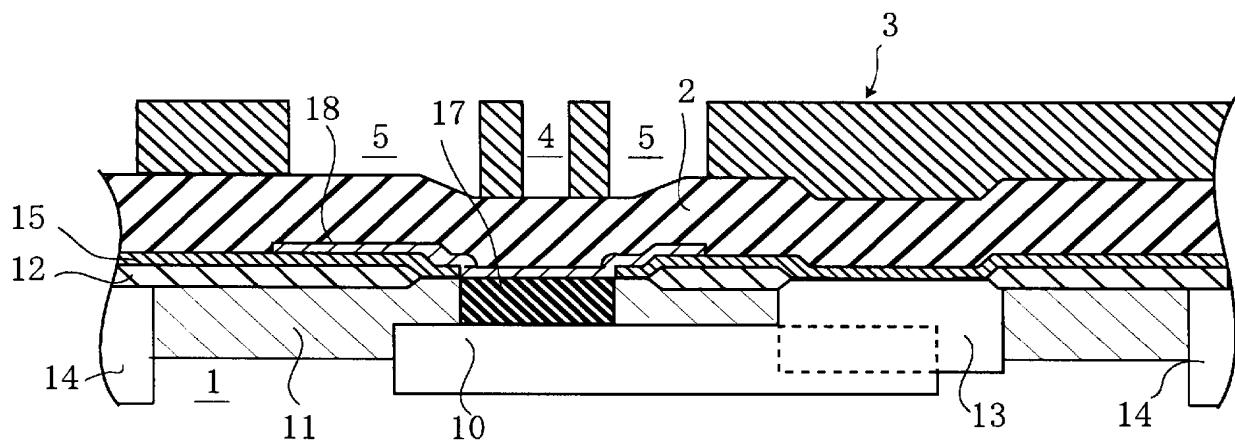
[図2]



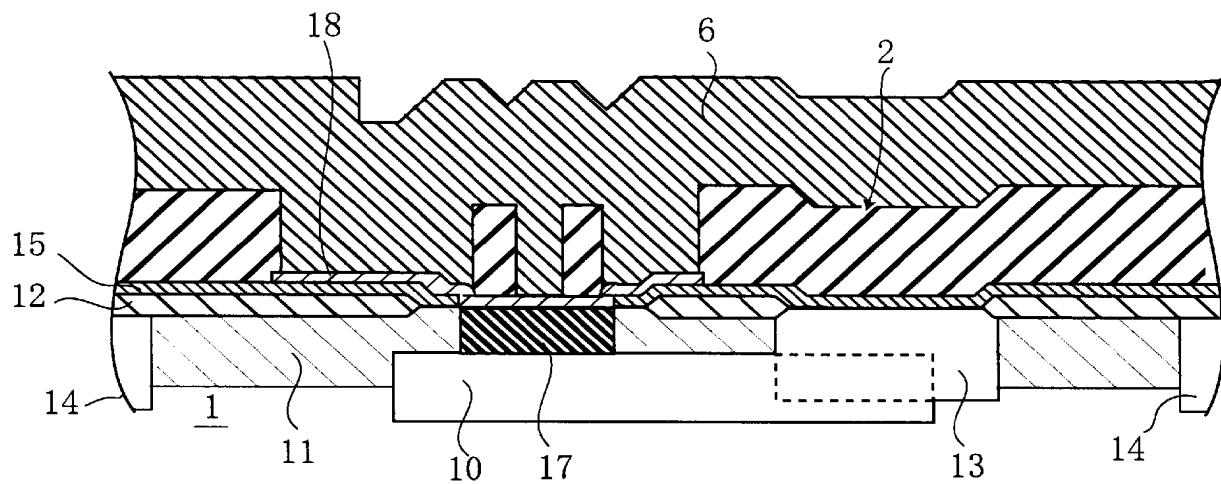
[図3]



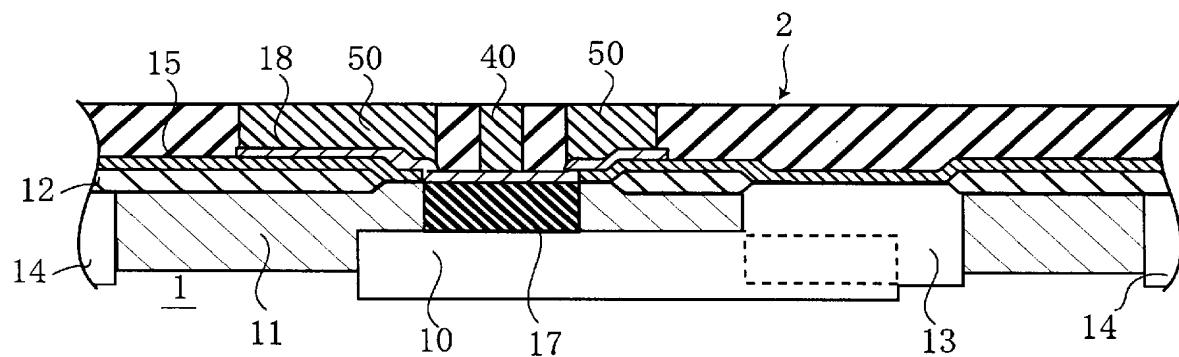
[図4]



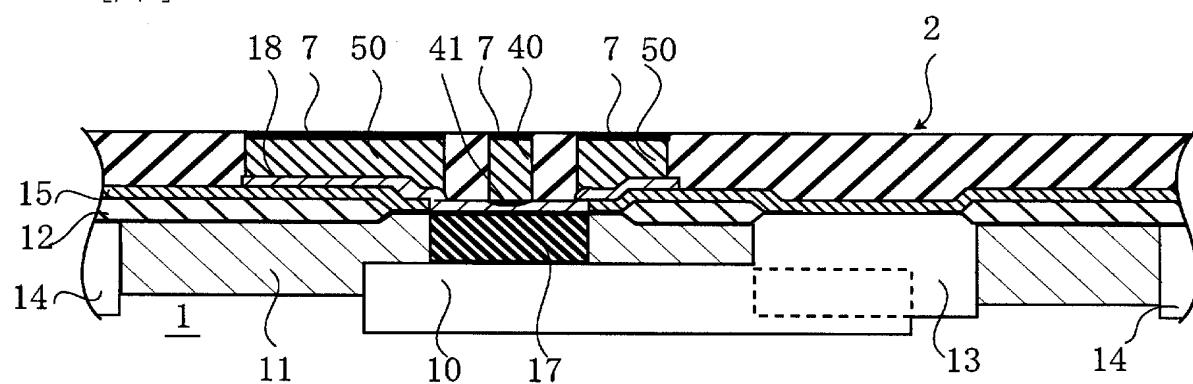
[図5]



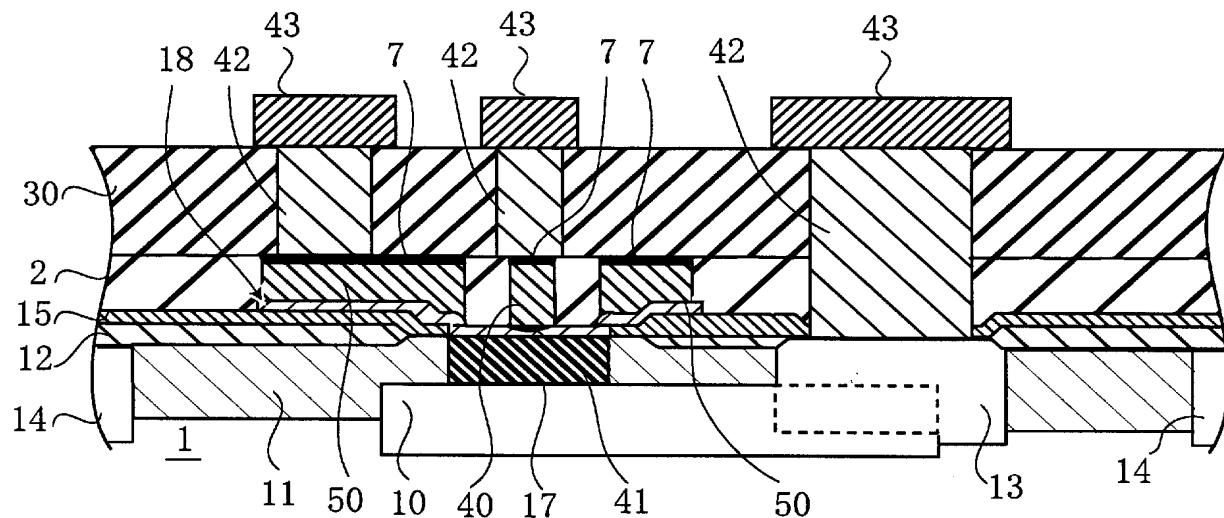
[図6]



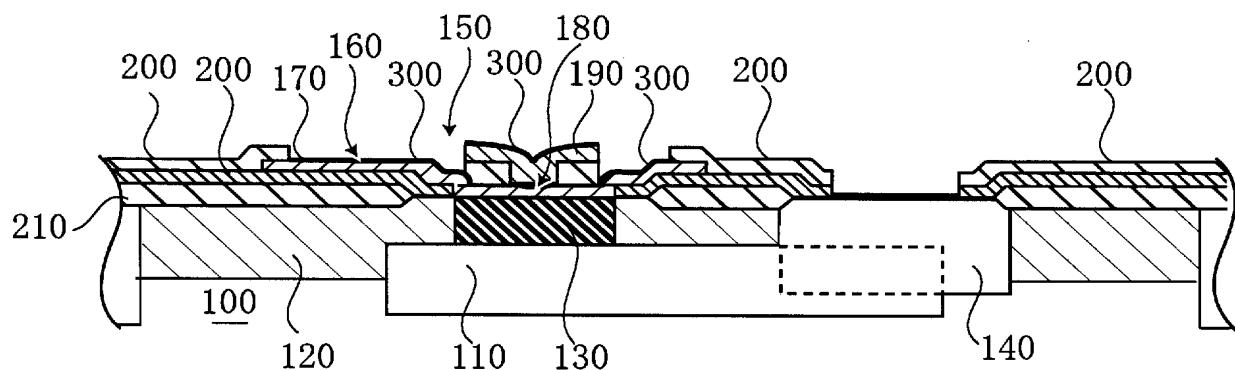
[図7]



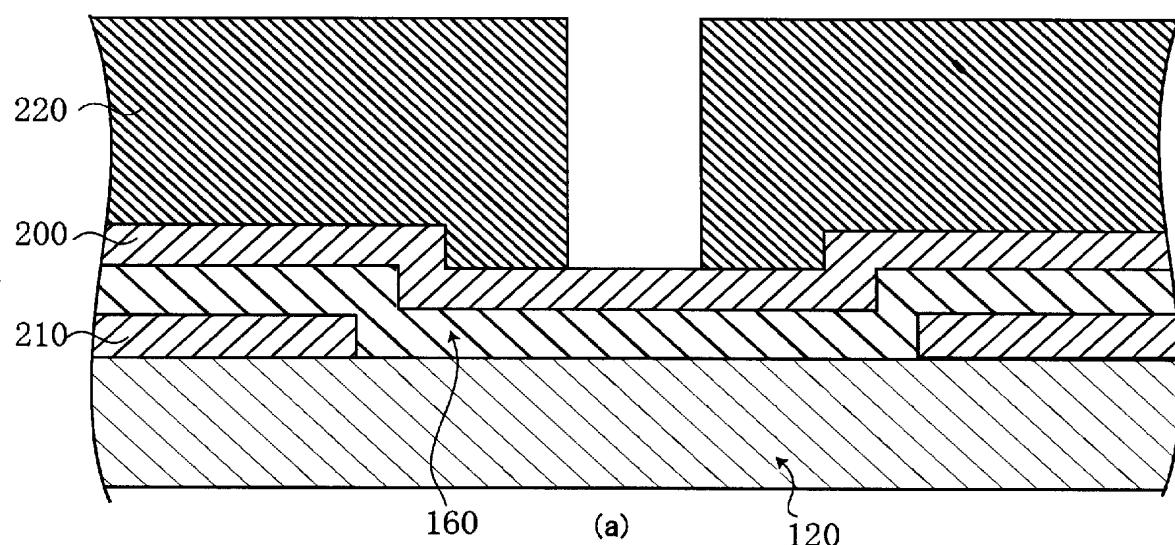
[図8]



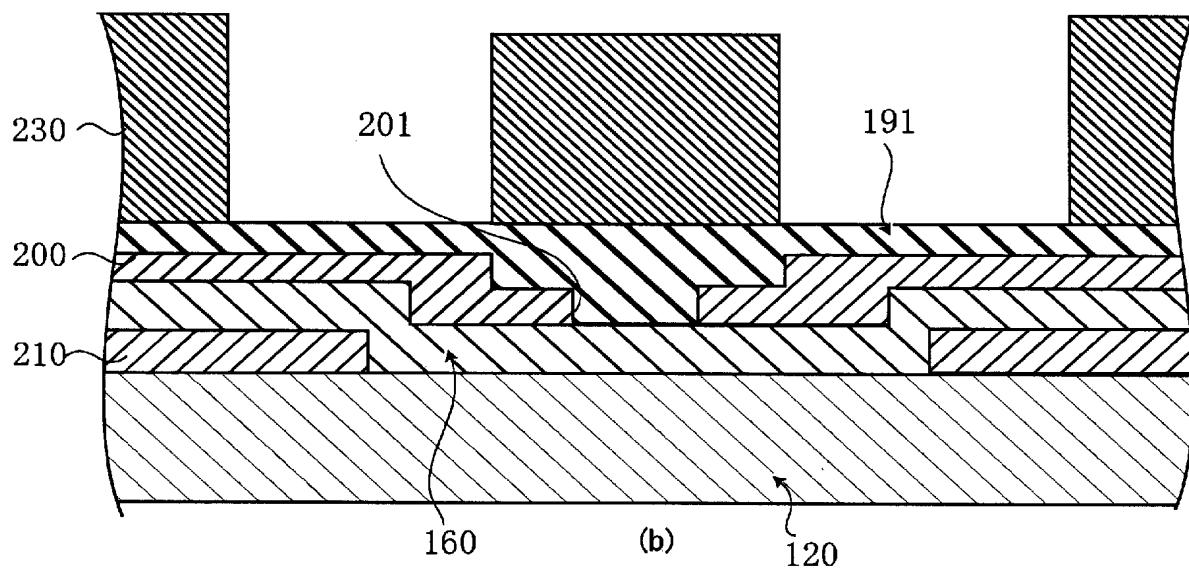
[図9]



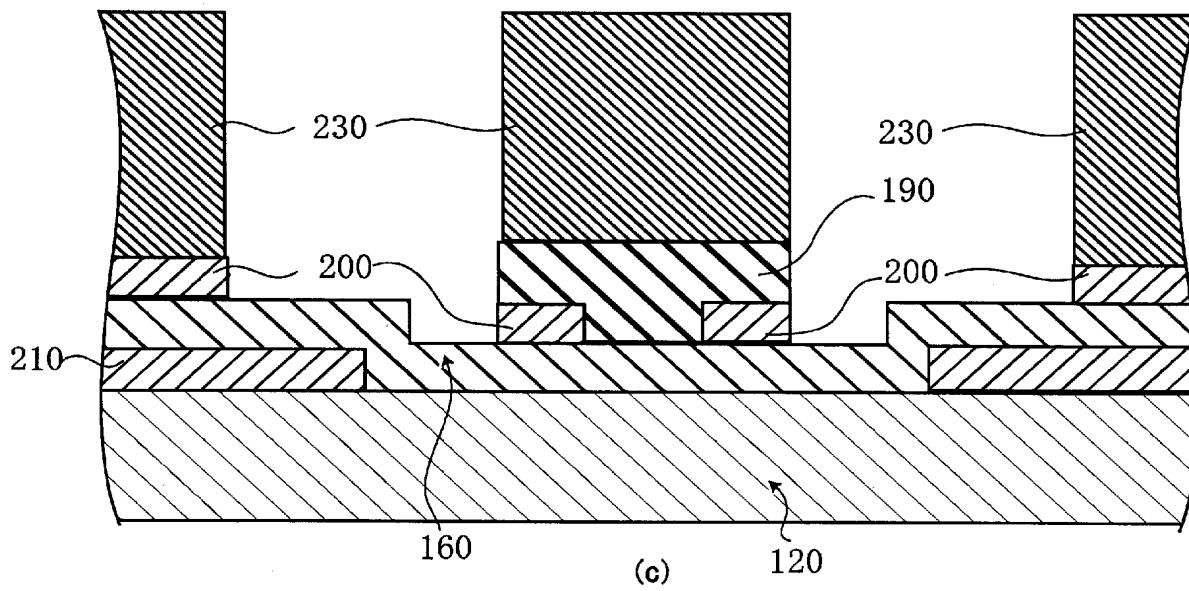
[図10]



(a)

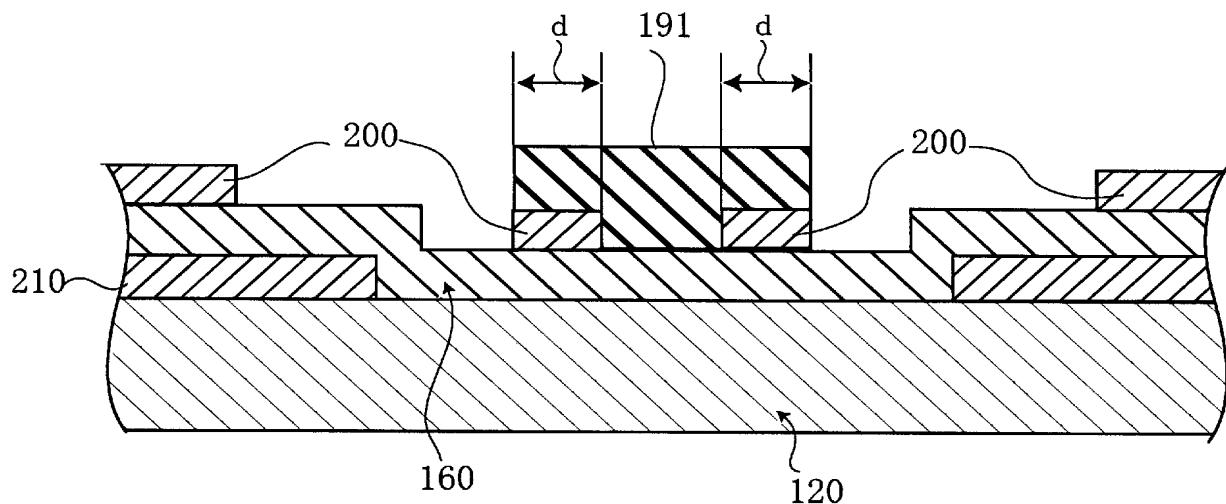


(b)

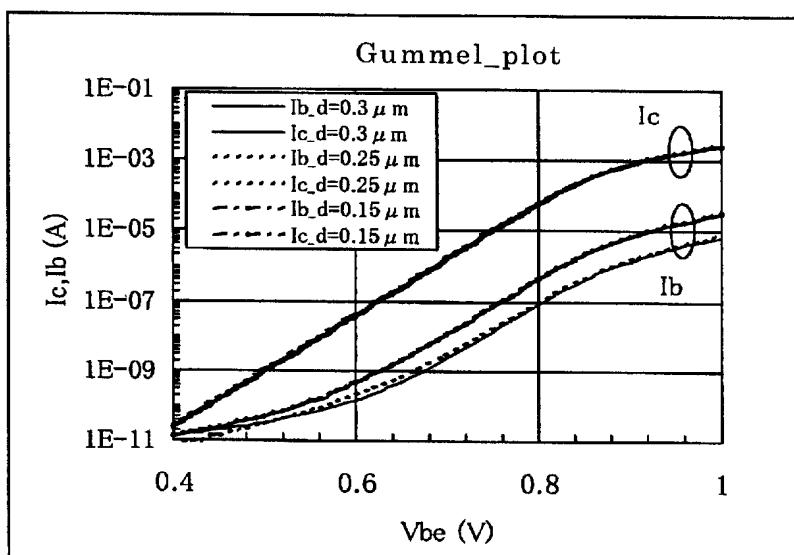


(c)

[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018939

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/73, H01L21/331, H01L27/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L29/73, H01L21/331, H01L27/06Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 05-226347 A (NEC Corp.), 03 September, 1993 (03.09.93), Full text (Family: none)	1-8
Y	JP 57-132357 A (Oki Electric Industry Co., Ltd.), 16 August, 1982 (16.08.82), Full text (Family: none)	1-8
Y	JP 2000-331953 A (Sony Corp.), 30 November, 2000 (30.11.00), Full text (Family: none)	1-8

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 January, 2005 (12.01.05)Date of mailing of the international search report
25 January, 2005 (25.01.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018939

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-132295 A (Toshiba Corp.), 13 May, 1994 (13.05.94), Full text (Family: none)	1-8
Y	JP 03-021054 A (Sony Corp.), 29 January, 1991 (29.01.91), Full text & EP 0404464 A2 Full text & US 5013677 A Full text	1-8
Y	JP 05-067623 A (NEC Corp.), 19 March, 1993 (19.03.93), Full text (Family: none)	1-8
Y	JP 2002-368120 A (Sony Corp.), 20 December, 2002 (20.12.02), Full text (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C17 H01L29/73 H01L21/331 H01L27/06

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C17 H01L29/73 H01L21/331 H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2005年

日本国実用新案登録公報 1996-2005年

日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 05-226347 A (日本電気株式会社) 1993. 09. 03, 全文 (ファミリーなし)	1-8
Y	JP 57-132357 A (沖電気工業株式会社) 1982. 08. 16, 全文 (ファミリーなし)	1-8
Y	JP 2000-331953 A (ソニー株式会社) 2000. 11. 30, 全文 (ファミリーなし)	1-8

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 12.01.2005	国際調査報告の発送日 25.1.2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 河口雅英 4 L 8421 電話番号 03-3581-1101 内線 3462

C(続き) .	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	J P 06-132295 A (株式会社東芝) 1994. 05. 13, 全文 (ファミリーなし)	1-8
Y	J P 03-021054 A (ソニー株式会社) 1991. 0 1. 29, 全文 & E P 0404464 A2 全文 & U S 5013677 A 全文	1-8
Y	J P 05-067623 A (日本電気株式会社) 1993. 0 3. 19, 全文 (ファミリーなし)	1-8
Y	J P 2002-368120 A (ソニー株式会社) 2002. 12. 20, 全文 (ファミリーなし)	1-8